

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

 **BLACK BORDERS**

- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS

 **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**

- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(1) 日本国特許庁 (JP)

(2) 公開特許公報 (A)

(3) 特許出願公報

特開平7-312405

(1) 公開日 平成7年(1995)11月28日

(51) 国名, C.I.	出願記号	内閣監査番号	F1	技術表示図所
H01L 23/30		3		
21/00	311	0 6918-0		
21/22				
21/28		4 8617-08		
		2 8617-08		

審査請求 替換式 請求項の範囲 OL (全5頁) 84頁に限く

(1) 出願番号 平成6-102369
(2) 出願日 平成6年(1994)5月17日

(1) 出願人 000006108
株式会社日立製作所
東京都千代田区麹町四丁目6番地
(2) 出願人 000233169
株式会社日立マイコンシステム
東京都小平市上木本町5丁目22番1号
(3) 見明者 金本 光一
東京都小平市上木本町5丁目20番1号
株式会社日立製作所半導体事業部内
(4) 見明者 田中 伸文
東京都小平市上木本町5丁目22番1号
株式会社日立マイコンシステム内
(5) 代理人 井澤士 田中 改善

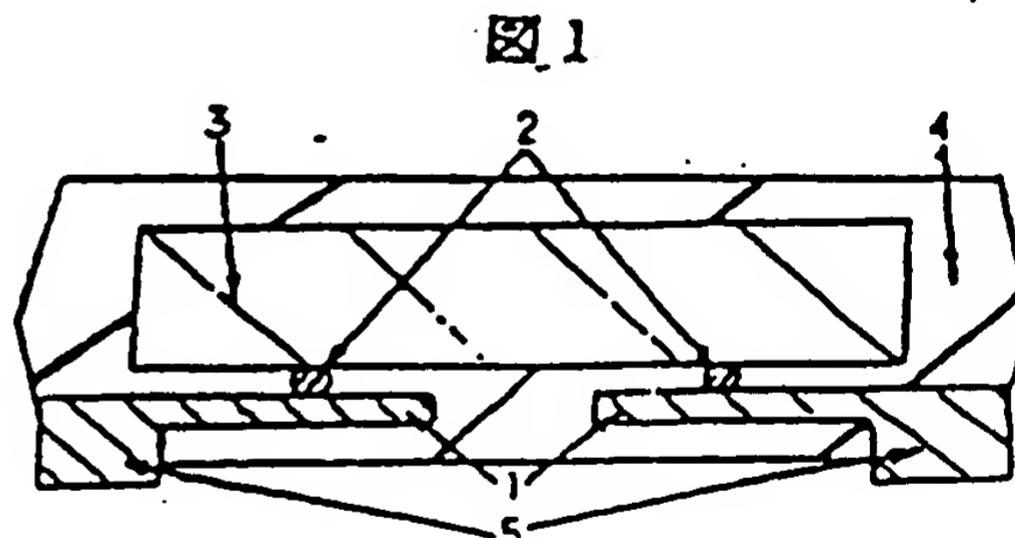
図面頁に限く

(5) (発明の名前) 半導体装置

(57) (要約)

(目的) 半導体装置の基板面上における実装密度を向上すること。

(構成) 半導体チップとそれに電気的に接続された内部リードを複数で封止した半導体装置であって、複数半導体装置の封止部側面の底面もしくは、上部から内部リードの一端を露出させる。



(特許請求の範囲)

(請求項1) キズナチップとそれによるために形成された内部リードを駆動で制止したキズナ装置であって、前記キズナ装置の制止部表面の底面もしくは、上面から内部リードの一端を突出させることを特徴とするキズナ装置。

(請求項2) 前記キズナチップと内部リードとはパンプを介して電気的接続して用ることを特徴とする請求項1に記載のキズナ装置。

(請求項3) キズナチップとそれによるために形成された内部リードを駆動で制止して底面を基部表面であつて、前記制止部の一主面に、その他のリードの底面の一部がレジンにより埋め込まれ、その埋め込まれたリード底面がキズナチップとの電気的接続をなし、それよりリードの底面がレジンから露出し、その露出した部分が内部リードを駆動していることを特徴とするキズナ装置。

(発明の実質的な説明)

(0001)

(発明上の利用分野) 本発明は、キズナ装置に適用して有効な技術に関するものである。

(0002)

(従来の技術) 従来のキズナ装置には、一端に内部リードとキズナチップをワイヤで接続したものとパンプで駆動するものがあり、それらのリードはともにキズナ装置の制止部表面の底面から突出した構造を有つ。

(0003)

(発明が解決しようとする課題) 本発明は、上記従来技術を改めた結果、以下のように見いたしました。

(0004) 前記のキズナ装置を用いたシステムでは、そのダウンサイ징に伴い、キズナ装置を駆動する基板のサイズを縮小する必要がでてた。このため、キズナ装置のサイズを縮小する上で底面の底面面積を上げて面積サイズを縮小してた。

(0005) このキズナ装置の底面の面積は、主にキズナチップの縮小によりなされたものであり、内部リードはその面積の対象とはなっていなかつた。

(0006) このため、底面上のキズナ装置の内部リードが他の底面に付する縮小効果はなされていなかつた。

(0007) したがって、従来のキズナ装置における内部リードは、一端にキズナ装置の制止部表面の底面から突出した構造を有していることから、その制止部表面の底面から突出した内部リードのみだけ底面を基部にとり、底面底面における接触面積が無いという欠点があつた。

(0008) 本発明の目的は、エレクトロニクス装置に於ける実効面を向上することが可能な構造を提供することにある。

(0009) 本発明の特徴は、キズナ装置の底面底面に

内部リードを駆動で制止したキズナ装置であつて、前記キズナ装置の制止部表面の底面もしくは、上面から内部リードの一端を突出させることを特徴とするキズナ装置。

(0010) (本発明を達成するための手順) 本発明においては元々から、内面のなしの底面を底面に形成するには、T記のとおりである。

(0011) キズナチップとそれによるために形成された内部リードを駆動で制止したキズナ装置であつて、前記キズナ装置の制止部表面の底面もしくは、上面から内部リードの一端を突出させる。

(0012)

(作用) 上記した手順によれば、キズナチップとそれに電気的に接続された内部リードを駆動で制止したキズナ装置であつて、前記キズナ装置の制止部表面の底面もしくは、上面から内部リードの一端を突出させることにより、キズナ装置の制止部表面の底面の占める底面内に内部リードがあり、底面の内部リードの突出によって基部にとられたいた底面面積を縮めてるので、キズナ装置の底面底面における実効面積を向上することが可能となる。

(0013) また、本発明の構成について、次項ととともに説明する。

(0014) なお、実効面を表示するための主面において、同一部ERERTのものには同一記号を付け、その通りの説明は省略する。

(0015)

(実施例) 図1は、本発明の一実施例であるキズナ装置の構造を説明するためのものである。

(0016) 図1に示した本実施例のキズナ装置は長方形であり、図2に表示した底面からみた底面図、図3に底面からみた側面図、図4に底面からみた平面図をそれぞれ示す。

(0017) 図1～図4において、1は内部リード部分、2はパンプ、3はチップ、4は側面制止部、5は外部リード部分をそれぞれ示す。

(0018) 本実施例のキズナ装置は、図1に示すように、リードに底面が付けられており、内部リードとして構成する内部リード部分1と外部リードとして構成する外部リード部分5とからなる。

(0019) このリードの構造は、リードの内部リード部分1をハーフエッチしたり、リードを底面に2倍以上引き離して形成することによって得られる。

(0020) 図2は底面内においては、内部リード部分1に上に付けられた、内面にキズナ装置の底面底面に於ける内面リード部分1と外部リードとして構成する外部リード部分5とからなる。なお、このときの内部リード部分1とキズナチップ3を底面内に接続する手段として、キズナチップ3底面にあらかじめ付けたパンプであつてもよい。また、ワイヤ等を用いてよい。

(0021) そして、図2～図4に示した側面制止部4から突出した内部リード部分1は、底面に接続する

される。

(0022) これにより、又又、該當引止部との隙間にから突出していたカムリードの分だけ、又又スペースを切り取るなり、他の半導体の表面にあり見てたりすることが可能となる。

(0023) 今に、図5を用いて、本実施例の半導体表面のリードフレームについて説明する。

(0024) 図5において、3Aは大きめの半導体チップ、3Bは小さめの半導体チップ、2Aは大きめの半導体チップと内部リード部分を含むパンプ、2Bは大きめの半導体チップと内部リード部分を含むパンプをそれぞれ示す。

(0025) 図5に示すように、本実施例の半導体表面のリードフレームの場合は、フレームの中心附近から内部リードが斜め上に並がっている。

(0026) これにより、比較で示した最も大きいサイズの半導体チップである大きめの半導体チップ3Aを保持する場合でし、小さめの半導体チップ3Bを保持する場合でも、各半導体チップ3A、3Bのハンド位置を内部リード1上の接触可能位置に変更し、その位置にパンプ2A、2Bを設けることで半導体チップ3A、3Bと内部リード部分1とを接続できる。このパンプ運用による内部リードと半導体チップとの接続的な接続は、ワイヤ接続では得られない費用的な手段である。

(0027) すなわち、本実施例のリードフレーム一つで多様の半導体チップを適用できる。

(0028) 今に、本実施例の他の実施例を図6と図7に示す。

(0029) 図6に示す半導体表面の例は、前述の図1に示した半導体表面の内部リード部分1と外部リード部分の隙間をなくしたものであり、内部リードとカムリードを共用化したリードを設けてある。すなわち、本実施例によれば、リードの底面のはば2/3がレジンにより埋め込まれ、その埋め込まれたリード一端面(上面)が半導体チップとの接続部位置をなし、一方、リードの底面のはば1/3がレジンから突出、その露出した端面は半導体への接続端子、つまりカムリードとなる。

(0030) これにより、又又内ににおける高さとカムリードの接続部分の距離を算出するとともに、厚削化パッケージが得られる。リードフレームに底面をつけなくともよくなる。

(0031) 図7に示す半導体表面の例は、前述の図1に示した半導体表面の半導体チップ1上に接続用フィン6を設け、半導体チップからRセラードを設けてやるものである。

(0032) 今も、本実施例に名を付ける半導体表面をそれが取り出されたが正反対のエンド表面についても

述べた。

(0033) また、又又他のCOL (CHIP ON LEAD) 构造の半導体表面は、底面からカムリードを突出させた例を取り上げたが、LOC (LEAD ON CHIP) 构造等の半導体表面においては、上面からカムリードを突出させる。

(0034) したがって、半導体チップとそれに接続する内蔵リードを斜めに引止した半導体表面であって、FR半導体表面の引止部位置の底面を詳しくは、

上面から内部リードの一端を突出させることにより、半導体表面の引止部位置のうちも底面内に内部リードがあり、底面のカムリードの突出によって水分とられていた半導体表面を縮小できるので、半導体表面の基板表面における実用性を向上することが可能となる。

(0035) 以上、本実施例によってなされた発明を、既記実施例によるつと異なる点で説明したが、本発明は、約既記実施例に用いられるものではなく、その裏面を有しない配置において底面又可逆であることは明ニである。

(0036)

(発明の効果) 本発明において示す半導体のうち代表的なものによって示される効果を底面に説明すれば、下記のとおりである。

(0037) 半導体チップとそれに接続する内蔵リードを斜めに引止した半導体表面であって、底面半導体表面の引止部位置の底面を詳しくは、上面から内部リードの一端を突出させることにより、半導体表面の引止部位置のうちも底面内にカムリードがあり、底面のカムリードの突出によって水分とられていた半導体表面を縮小できるので、半導体表面の基板表面における実用性を向上することが可能となる。

(図面の底面な説明)

(図1) 本発明の一実施例である半導体表面の構造を説明するための図である。

(図2) 本実施例の半導体表面の底面図である。

(図3) 本実施例の半導体表面の底面図である。

(図4) 本実施例の半導体表面の底面から見た半導体である。

(図5) 本実施例の半導体表面におけるリードフレームの構造を説明するための図である。

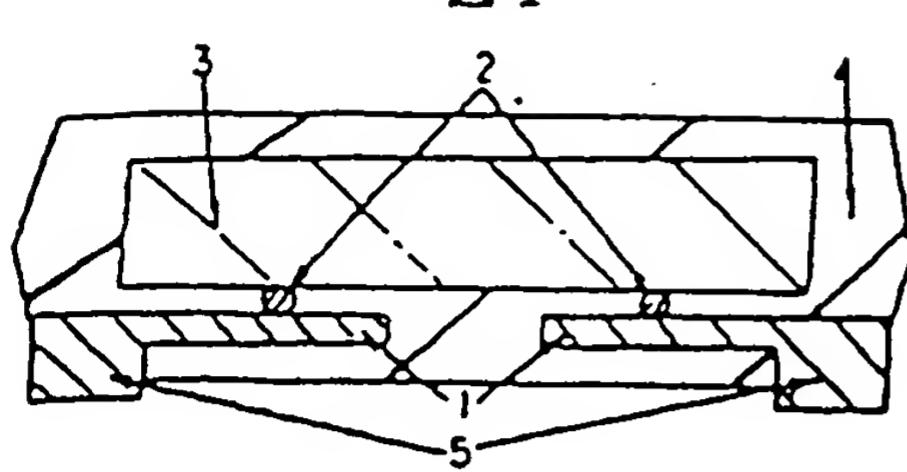
(図6) 本実施例の他の実施例である半導体表面の構造を説明するための図である。

(図7) 本実施例の他の実施例である半導体表面の構造を説明するための図である。

(内蔵リード)

1…内部リード部分、2…パンプ、3…チップ、4…底面引止部、5…カムリード部分、6…接続用フィン。

(B1)



(B2)

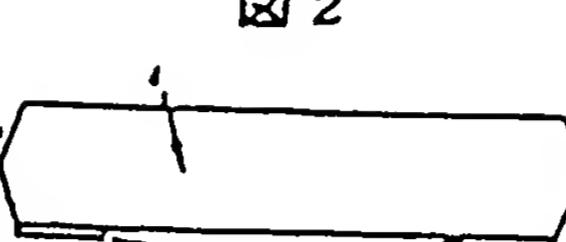
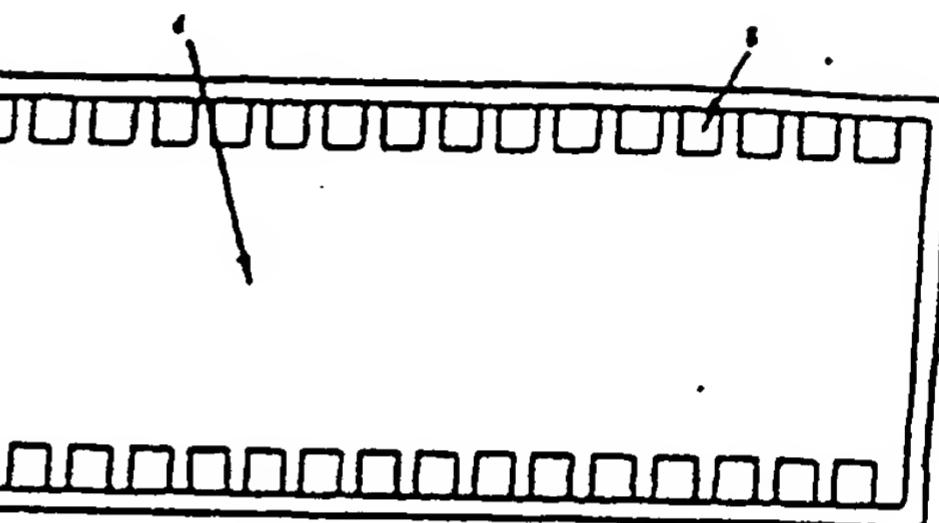


图2

(B4)



(B3)

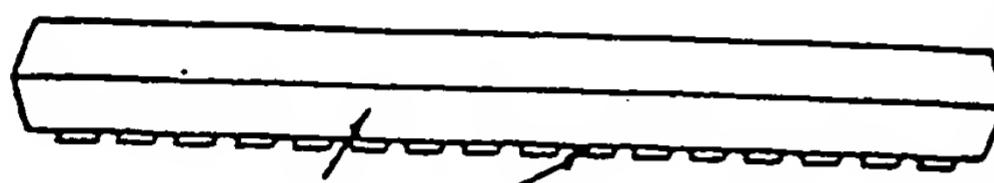


图3

图4

(B5)

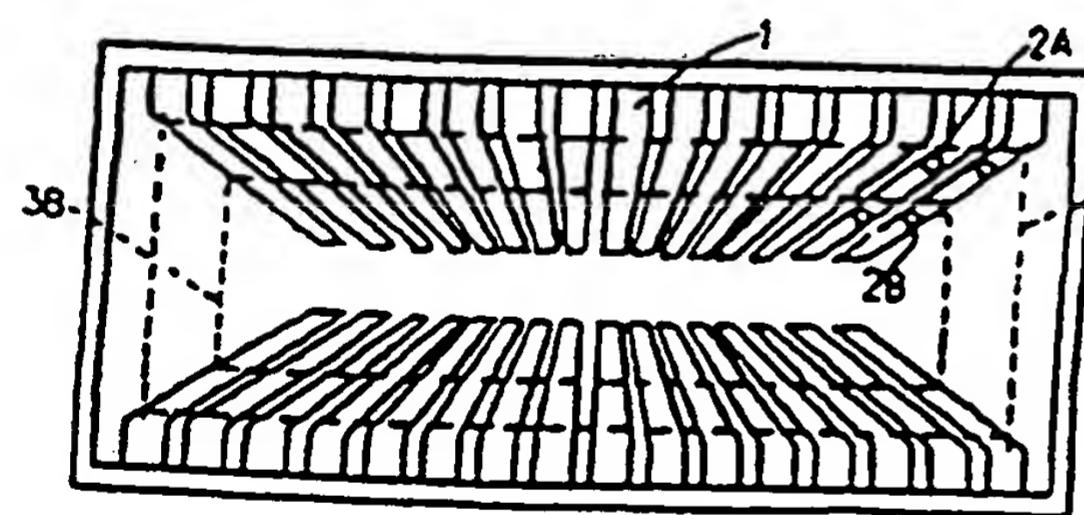


图5

(B6)

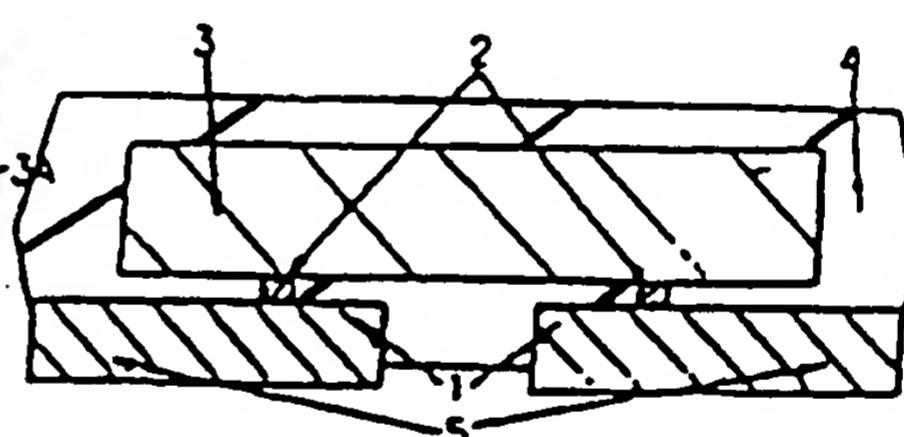


图6

(B7)

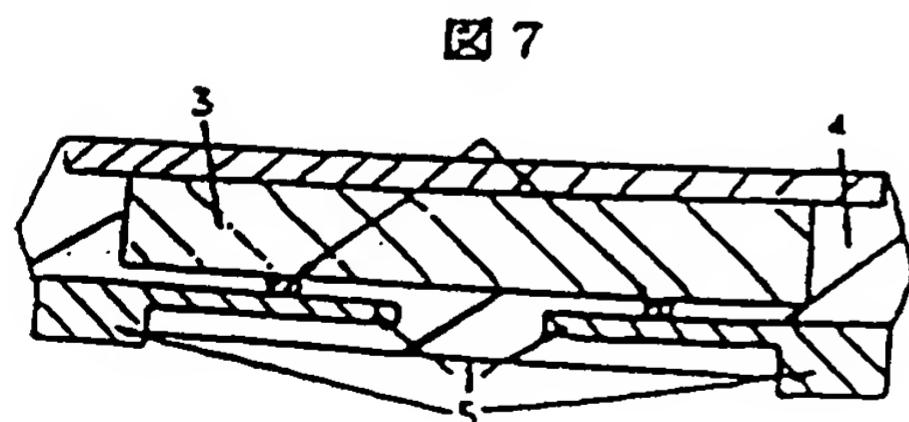


图7

フロントページの記述

(S1) 1st.01.

登録記号 内閣監視番号

F1

2011.21/82

技術監視室

(12) 识别者 内閣監視

東京都小平市上木本町5丁目20番1号

株式会社日立製作所本研修室高部内

[TITLE OF THE INVENTION]

Semiconductor Device

5

[CLAIMS]

1. A semiconductor device including a semiconductor chip, inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.
- 15 2. The semiconductor device in accordance with claim 1, wherein the inner leads are electrically connected to the semiconductor chip by bumps, respectively.
- 20 3. A semiconductor device including a semiconductor chip, a plurality of inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is encapsulated at a portion of the thickness thereof while being exposed at the 25 remaining portion thereof in such a fashion that it has an

encapsulated main lead surface serving as an electrical connection to the semiconductor chip, and an exposed main lead surface positioned opposite to the encapsulated main lead surface, the exposed main lead surface serving as an outer lead.

5

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

The present invention relates to a technique
10 effective if applied to semiconductor devices.

[DESCRIPTION OF THE PRIOR ART]

In conventional semiconductor devices, a semiconductor chip is typically connected with inner leads by means of wires or bumps. Such a semiconductor device
15 has a structure in which outer leads are laterally protruded from an encapsulate.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

20 After reviewing the prior art, the inventors have found the following problems. A down-sizing of recent system appliances using semiconductor devices has resulted in a requirement to reduce the size of circuit boards on which semiconductor devices are mounted. To this end,
25 attempts to reduce the size of semiconductor devices have

been made in order to achieve an improvement in the mounting efficiency of circuit boards resulting in a reduction in the size of those circuit boards.

5 In most cases, such a reduction in the size of semiconductor devices have been achieved by reducing the size of semiconductor chips. For such a reduction in the size of semiconductor devices, outer leads have not been the subject of interest. That is, there has been no attempt to reduce the area occupied by outer leads of a 10 semiconductor device on a circuit board. Since conventional semiconductor devices have a structure in which outer leads are laterally protruded from a resin encapsulate, they have a mounting area increased by the area of the outer leads laterally protruded from the resin 15 encapsulate. As a result, the conventional semiconductor devices involve a problem in that the mounting efficiency thereof on a circuit board is degraded.

An object of the invention is to provide a technique capable of improving the mounting efficiency of a 20 semiconductor device on a circuit board.

Other objects and novel features of the present invention will become more apparent after a reading of the following detailed description when taken in conjunction with the drawings.

25

(MEANS FOR SOLVING THE SUBJECT MATTERS)

A representative of inventions disclosed in this application will now be summarized in brief.

In a semiconductor device in which a semiconductor 30 chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, each of the

inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.

5 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

10 15 Now, the present invention will be described in detail in conjunction with embodiments thereof.

15 20 In the drawings associated with the embodiments, elements having the same function are denoted by the same reference numeral, and repeated description thereof will be omitted.

[EMBODIMENTS]

Fig. 1 is a view illustrating a semiconductor device having a structure according to an embodiment of the 25 present invention. The semiconductor device according to the embodiment of the present invention shown in Fig. 1 has a rectangular structure. Fig. 2 is a side view of the semiconductor device when viewed at the shorter side of the rectangular structure. Fig. 3 is a side view of the 30 semiconductor device when viewed at the longer side of the rectangular structure. Fig. 4 is a plan view of the semiconductor device when viewed at the bottom.

In Figs. 1 to 4, the reference numeral 1 denotes

inner lead portions, 2 bumps, 3 a chip, 4 a resin encapsulate, and 5 outer lead portions, respectively.

As shown in Fig. 1, the semiconductor device of the present embodiment includes leads having a stepped lead structure. Each lead has an inner lead portion 1 serving as an inner lead, and an outer lead portion 5 serving as an outer lead.

The stepped lead structure can be obtained by half-etching the inner lead portions 1 of the leads. 10 Alternatively, the stepped lead structure may be obtained by bonding two lead sheets to each other in such a fashion that they define a step therebetween, and then cutting the bonded lead sheets.

Within the resin encapsulate 4, bumps 2, which may be 15 made of, for example, solder, are provided on the inner lead portions 1, respectively. Through these bumps 2, the inner lead portions are electrically connected to the semiconductor chip 3. Bumps previously provided at the semiconductor chip 3 may also be used as means for 20 electrically connecting the inner lead portions 1 to the semiconductor chip 3. Alternatively, wires may be used.

As shown in Figs. 2 to 4, the outer lead portions 5, which are protruded from the resin encapsulate 4, are mounted on a circuit board or the like while being in 25 surface contact with the circuit board. Accordingly, it is

possible to reduce the mounting space of the semiconductor device by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices. Otherwise, this area may be used to 5 mount other elements.

Now, a lead frame included in the semiconductor device according to the present embodiment will be described in conjunction with Fig. 5.

In Fig. 5, the reference numeral 3A denotes a larger 10 semiconductor chip, 3B a smaller semiconductor chip, 2A bumps for coupling inner leads to the larger semiconductor chip, and 2B bumps for coupling the inner leads to the smaller semiconductor chip, respectively.

As shown in Fig. 5, the lead frame of the 15 semiconductor device according to the present embodiment has a structure in which inner leads extend radially around an area near the center of the lead frame. Accordingly, any one of the semiconductor chips having different sizes, that is, the larger semiconductor chip 3A and smaller 20 semiconductor chip 3B indicated by phantom lines, can be connected with the inner lead portions 1 by shifting each pad position of the semiconductor chip 3A or 3B to a position where the semiconductor chip 3A or 3B can be connected to the inner leads 1, and providing a bump 2A or 25 2B at the shifted position. The electrical connection

between the inner leads and the semiconductor chip obtained by use of bumps as mentioned above provides an useful effect which cannot be expected in the case using wire connection. That is, one lead frame, which is configured in accordance with the present embodiment, can be applied to a variety of semiconductor chips.

Referring to Figs. 6 and 7, other embodiments of the present invention are illustrated, respectively.

In a semiconductor device according to the embodiment of Fig. 6, there is no step between the inner and outer lead portions 1 and 5 of each lead, as compared to the semiconductor device of Fig. 1. In this case, the semiconductor device includes leads each serving as both the inner and outer leads. In accordance with this embodiment, about 2/3 of the thickness of each lead is encapsulated by resin. One main surface of each lead, namely, the encapsulated main surface (upper surface), serves as an electrical connection to the semiconductor chip. About 1/3 of the thickness of each lead is exposed from the resin. The other main surface of each lead, namely, the exposed main surface, serves as a connection terminal to a mounting circuit board, for example, an outer lead.

In accordance with such a structure, it is possible to secure the area, where the outer leads can be connected

to the circuit board, upon the mounting of the semiconductor device. Furthermore, a thin package can be produced. In accordance with this embodiment, it is also unnecessary to provide a stepped lead structure for the lead frame.

5

In a semiconductor device according to the embodiment of Fig. 7, radiation fins 6 are provided on the semiconductor chip 3 shown in Fig. 1 in order to radiate heat generated from the semiconductor chip 3.

10

Although the above embodiments have been described as being applied to rectangular semiconductor devices, they may also be applied to square semiconductor devices. Also, the above embodiments have been described as being applied to a semiconductor device having a COL (Chip On Lead) structure to protrude outer leads thereof from the lower surface of the encapsulate. In the case of a semiconductor device having an LOC (Lead On Chip) structure, outer leads thereof are protruded from the upper surface of the encapsulate.

15

20

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface

5

of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

5 Although the preferred embodiments of the invention have been disclosed for illustrative purposes, those skilled in the art will appreciate that various 10 modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

[EFFECTS OF THE INVENTION]

15 Effects obtained by a representative one of the inventions disclosed in this application will now be described in brief.

20 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the 25 semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.